

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-279747

(43)Date of publication of application : 22.10.1996

(51)Int.Cl.

H03L 7/113
H03K 19/0175
H03L 7/085
H04L 7/033

(21)Application number : 08-084481

(71)Applicant : CSELT SPA (CENT STUD E LAB
TELECOMUN)

(22)Date of filing : 14.03.1996

(72)Inventor : BURZIO MARCO

(30)Priority

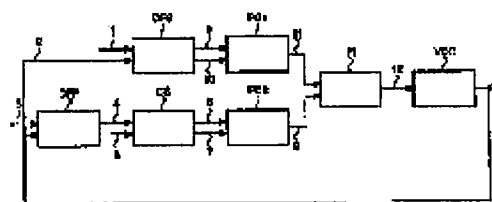
Priority number : 95TO 190 Priority date : 14.03.1995 Priority country : IT

(54) EXTRACTING CIRCUIT FOR CLOCK SIGNAL FROM HIGH-SPEED DATA STREAM

(57)Abstract:

PROBLEM TO BE SOLVED: To speedily match a clock signal with the clock of a data signal by allowing a main PLL of the clock extracting circuit to control VCO by continuously controlling the phase and allowing an auxiliary PLL to lock a main loop by oscillating the VCO at a frequency close to an operating frequency.

SOLUTION: The extracting circuit for the clock from the high-speed data stream has twin-loop PLL structure. The main loop consisting of a phase detector DFS, a driving current generator PC1, a loop filter FI, and VCO locks the phase of a clock signal which is generated by the VCO and present on a wiring to data arriving at the wiring 1. The subordinate loop consisting of a threshold comparator CS, a driving current generator PC2, a filter FI, and VCO locks the main loop by oscillating the VCO at the frequency close to a desired frequency. When the VCO oscillates a frequency greatly different from the optimum frequency and the wiring frequency is too low, the frequency detector DFR outputs an error pulse to the wire 4 and when the frequency of the wiring 2 is too high, an error pulse is generated to a wiring 5 to control the oscillation frequency of the VCO, thereby



approximating its frequency to the desired frequency.

LEGAL STATUS

[Date of request for examination]	14.03.1996
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2847493
[Date of registration]	06.11.1998
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	06.11.2004

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-279747

(43)公開日 平成8年(1996)10月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H03L 7/113			H03L 7/10	B
H03K 19/0175			H03K 19/00	101N
H03L 7/085			H03L 7/08	A
H04L 7/033			H04L 7/02	B

審査請求 有 請求項の数2 FD (全5頁)

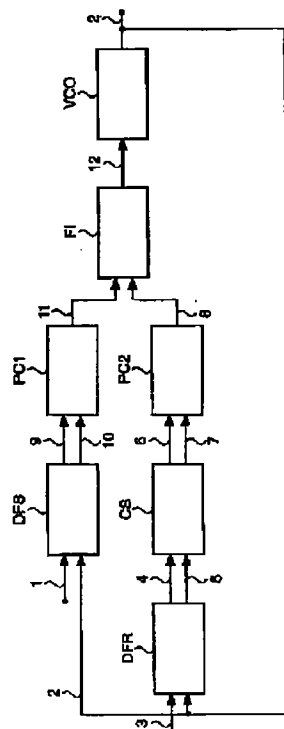
(21)出願番号	特願平8-84481	(71)出願人	591065103 クセルトーセントロ・ステュデイ・エ・ラ ボラトリ・テレコミニカチオーニ・エツ セ・ビー・アー CSELT-CENTRO STUDI E LABORATORI TELECO MUNICAZIONI SOCIETA PER AZIONI イタリア国 トリノ、10148 ヴィア・グ リエルモ・レイス・ロモリ 274
(22)出願日	平成8年(1996)3月14日	(72)発明者	マルコ・ブルツイオ イタリア国グルグリアスコ(トリノ)、ヴ ィア・モンタナロ 17/1
(31)優先権主張番号	TO95A000190	(74)代理人	弁理士 川原田 一穂 (外1名)
(32)優先日	1995年3月14日		
(33)優先権主張国	イタリア(IT)		

(54)【発明の名称】 高速データストリームからのクロック信号抽出回路

(57)【要約】

【課題】 高速データストリームからクロック信号を抽出するための回路を提供すること。

【解決手段】 高速データストリームからのクロック信号抽出回路により、ローカルで発生されたクロック信号とデータ信号の周波数が大きく異なる場合でも両者を素早く一致させることができる。本回路はより複雑なCMOSデジタル集積回路に容易に挿入でき、また、パワー消費が少なく、300 Mbit/sを越えるビットレートで動作できる。本回路は主フェーズロックドループと補助ループを含む。主フェーズロックドループは、位相を継続的に制御することにより電圧制御発振器を制御する。補助ループにより電圧制御発振器を動作周波数に近い周波数で発振させることにより、主ループがロックする。



【特許請求の範囲】

【請求項 1】 (ア) 位相検出器(DFS)、駆動電流発生器(PC1)、フィルタ(FI)、及び電圧制御発振器(VCO)を含んだ主フェーズロックドループであって、位相検出器がデータ信号(1)の位相とローカルで発生されたクロック信号(2)の位相を比較してエラー信号を発生し、該エラー信号は駆動電流発生器とフィルタを通り継続的に電圧制御発振器の位相を制御することにより電圧制御発振器を制御する、上記主ループ、(イ)動作周波数に近い周波数で電圧制御発振器を発振させることにより、主ループをロックさせる副ループを含む高速データストリームからのクロック信号抽出回路であって、副ループが周波数検出器(DFR)、閾値比較器(CS)、及び電流を前記フィルタ(FI)に供給する駆動電流発生器(PC2)を含み、周波数検出器(DFR)が、(ウ)ローカルで発生されたクロック信号(2)を分周する第1の分周器(D1)、(エ)第1分周器により与えられた信号(22)を参照信号(3)と同期させるサンプリングブロック(S1)、(オ)サンプリングブロックにより与えられる信号(23)を分周する第2の分周器(D2)、(カ)出力パルス(26)を発生する第1の単安定回路(M1)であって、該パルスの持続時間は、参照信号(3)に基づいて決められ、該パルスの開始時間は、第2分周器(D2)により与えられる信号(24)のレベル遷移により決められる、上記単安定回路(M1)、(キ)出力パルス(27)を発生する第2の単安定回路(M2)であって、該パルスの持続時間は、参照信号(3)に基づいて決められ、該パルスの開始時間は、第2分周器(D2)により与えられる信号を反転して得られる信号(25)のレベル遷移により決められる、上記単安定回路(M2)、(ク)第2分周器(D2)により与えられる信号(24)、及び第1単安定回路(M1)により与えられる信号(26)を反転した信号を入力する第1のANDゲート(PU1)、(ケ)第2分周器(D2)により与えられる信号(24)を反転した信号、及び第1単安定回路(M1)により与えられる信号(26)を入力する第2のANDゲート(PD1)、(コ)第2分周器(D2)により与えられる信号(24)を反転した信号(25)、及び第2単安定回路(M2)により与えられる信号(27)を反転した信号を入力する第3のANDゲート(PU2)、(サ)第2分周器(D2)により与えられる信号(24)、及び第2単安定回路(M2)により与えられる信号(27)を入力する第4のANDゲート(PD2)、(シ)第1ANDゲート(PU1)により与えられる信号(28)、及び第3ANDゲート(PU2)により与えられる信号(30)を入力し、もしクロック信号(2)の周波数が参照信号(3)の周波数よりも小さいならば、その周波数誤差に比例した周波数及び持続時間を有するパルス(4)を出力する第1のORゲート(PU3)、及び(ス)第2ANDゲート(PD1)により与えられる信号(29)、及び第4ANDゲート(PD2)により与えられる信号(31)を入力し、もしクロック信号(2)の周波数が参照信号(3)の周波数よりも大きいならば、その周

波数誤差に比例した周波数及び持続時間を有するパルス(5)を出力する第2のORゲート(PD3)を含むことを特徴とする上記高速データストリームからのクロック信号抽出回路。

【請求項 2】 前記閾値比較器(CS)が、(セ)前記第1及び第2のORゲート(PU3,PD3)により与えられるパルス(4,5)を入力する第3のORゲート(P4)、(ソ)第3のORゲート(P4)により与えられたパルスを入力(40)で受け取る度に、参照信号(3)の数サイクルに等しい持続時間を有するパルス(41)を発生するブロック(M3)、及び(タ)ブロック(M3)により与えられるパルス(41)でイネーブルされたとき、前記第1及び第2のORゲート(PU3,PD3)により与えられたパルス(4,5)をそれらの夫々の出力(6,7)に送り前記駆動電流発生器(PC2)に供給する、第5及び第6のANDゲート(PU4,PD4)を含むことを特徴とする請求項 1 に記載の高速データストリームからのクロック信号抽出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、お互いにある距離離れて位置する電氣的システム間でデジタル信号を伝送するための装置に係り、特に、高速データストリームからクロック信号を抽出するための回路に関する。

【0002】

【従来の技術】データ信号を正しく検出するためには、最も好ましい瞬間の論理レベルを評価できるように、到来デジタルストリームに正確に同期し随意に使用できるクロック信号を受信装置が獲得しなければならないことはよく知られている。しかしながら、常にデータ信号がクロック信号を伴って伝送されるわけでもなく、特に1本のライン上をシリアル的に伝送される場合はそうである。この場合には、検出用のクロック信号は、データ信号自身から必要な情報を抽出することにより復元されなければならない。この操作は通常は周知のPLL(フェーズロックドループ)回路により実行され、受信器に到来するデジタル信号を参照信号として使用してデータ信号のビットレートに等しい周波数を有する出力クロック信号を発生することで行われる。再構成されたクロック信号は、データ信号との位相関係が非常によく保たれており、最適なサンプリング時に対応したローレベルからハイレベルへの遷移を生じる。周知のように、フェーズロックドループの主な構成要素は、位相検出器、フィルタ、及び電圧制御発振器(VCO)である。位相検出器は、データ信号の位相とVCOによりローカルで発生されたクロック信号の位相を比較してエラー信号を与える。このエラー信号はフィルタを通過して、継続的にVCOの位相を制御することによりVCOを制御する。

【0003】

【発明が解決しようとする課題】そのような回路の提起する問題の一つは、周波数獲得の問題、即ち、クロック

信号周波数とデータ信号周波数が一致する条件に達することである。実際に、もしクロック信号を発生するVCOの自発的な発振周波数が大きく異なっていると、そのように構成されたループは決してロックされることはないであろうし、又はロックされるのに非常に長い時間を要するであろう。この欠点を取り除くために、いくつかの解決策が提案されており、それらの策では、周波数の違いを検出し、所望の周波数に近い周波数でVCOを発振させて位相検出器をロックするよう構成されたもう一つのループを追加することが必要である。これらの解決策の一つで、主ループと副ループを有するPLL回路を利用したものが、本出願人と同一の出願人によるEPA-0658995に記載されている。この場合には、副ループには従来の位相及び周波数検出器が用いられている。周波数弁別器の典型的な例は、フロイドM. ガードナー(Floyd M. Gardner)著「フィズロック技術(Phase Lock Techniques)」、第86-87頁に記載されている。この解決策は、アナログ集積回路によって行うには適している。しかし、PLLをCMOSデジタル集積回路に組み入れるには、そのような周波数弁別器では構成が困難となる。

【0004】

【課題を解決するための手段】 上述の欠点は、本発明による高速データストリームからのクロック信号抽出回路により解消される。この回路により、ローカルで発生されたクロック信号の周波数とデータ信号の周波数が大きく異なっているときでも、それらの周波数を素早く一致させることができる。本回路はより複雑なCMOSデジタル集積回路に容易に組み入れることができる。このことにより、外部PLL回路がもはや必要なくなり、プリント回路基板のより良い設計が可能となる。本回路がCMOS技術で実現されるならば、パワー消費は低く、300Mbit/sを越えたビットレートで動作できるものとなる。本発明の主目的は、請求項1に記載のように、高速データストリームからクロック信号を抽出するための回路を提供することである。本発明のこれら及びその他の特徴は、単に非制限的な例として与えられている好適実施例の以下の記載、及び添付の図面によって更に明確になるであろう。

【0005】

【実施例】 図1のブロック図に示されている高速データストリームからのクロック信号抽出回路は、双ループPLL構造に基づいている。位相検出器DFS、駆動電流発生器PC1、ループフィルタFI、及び電圧制御発振器VCOから成る主ループは、VCOにより発生されて配線2に存在するクロック信号の位相を配線1に到来するデータにロックするために備わっている。周波数検出器DFR、閾値比較器CS、駆動電流発生器PC2、フィルタFI、及び発振器VCOから成る副ループは、発振器VCOを所望の周波数に近い周波数で発振さ

せることにより主ループをロックさせる。VCOが最適な周波数(この例では、最適周波数を配線3に存在する参照周波数の4倍とする。)に比べ大きく異なった周波数で発振していると仮定すると、配線2の周波数が低すぎると周波数検出器DFRは配線4にエラーパルスを出し、配線2の周波数が高すぎると配線5にエラーパルスを出力する。

【0006】 これらのパルスの周波数は、配線2に存在する周波数および配線3に存在する周波数の4倍の周波数の間の差に比例する。さらに、例えば超過が25%であるような大きな差となる場合には、パルスの周波数だけでなく持続時間もその差に比例する。全体の効果として、エラー信号の平均値が周波数の差に比例する。閾値比較器CSは、配線4又は5に存在するエラーパルスの周波数が予め設定された値を越えているときのみ、それらのエラーパルスを配線6又は7に夫々通過させるように動作する。エラーパルスの周波数が設定値を越えていなければ、閾値比較器CSはパルスを阻止する。駆動電流発生器PC2は、配線6のパルスに応じて予め設定された量の電荷をフィルタFIに供給し、もし配線7にパルスが存在すれば同じ量の電荷を取り除くように機能する。抵抗-容量(RC)ネットワークから構成されるフィルタFIは、結果として配線12上の電圧を変える。この電圧が、VCOの発振周波数を制御し、発振周波数を所望の周波数に近づける。

【0007】 VCOの発振周波数が主ループの動作範囲に入ると、DFRに存在するパルスの周波数は比較器CSの閾値より低くなり、その結果、駆動電流発生器PC2に更なるパルスを送るのを防ぐ。これらの条件の下では、副ループが動作を停止し、主ループを形成するブロックによって制御が行われる。閾値比較器CSが存在することにより、到来データ周波数を4で割った値に対して0.1%まで異なる周波数の参照信号を供給できるローカル発振器が使用できるようになる。従って、例えば特に正確なクォーツ水晶発振器でなくても簡単な発振器が使用できる。主ループに属する位相検出器DFSは、VCOにより発生され配線2に存在する信号の位相と配線1で受け取ったデータ信号の位相を比較し、配線9又は10のうち的一方に一定の持続時間を有するパルスを与え、もう一方の配線には位相誤差に依存する持続時間を有するパルスを与える。配線11を介して駆動電流発生器PC1によりフィルタFIに注入される正味の電流は、これら二つの配線9、10上のパルスの持続時間の差に比例する。その結果、フィルタFIの出力である配線12に得られる電圧の変化によって、配線2上の信号の対応する周波数変化が生じて、位相誤差を零にする。

【0008】 ブロックDFRは、図2のブロック図に詳細に示されている。周波数検出器DFRは、配線3に存在する入力参照信号に同期して動作する。この参照信号

の周波数は、配線2に存在する信号に課すべき周波数の $1/4$ に等しい。 $1/4$ を選んだのはこの特定の実施例に限ってのことであり、構造形成モジュールを適切に適用することにより、入力周波数間の比はどんな値でもとれる。配線2上の信号の周波数は、分周器D1により16で割られ、その配線22上の出力信号はサンプリングブロックS1によりサンプリングされる。サンプリングブロックS1は、実質的に配線3の信号により制御されるフリップフロップから成る。ブロックS1の出力である配線23の信号は、従って同期が取れており、次の分周器D2に送られる。この分周器D2は、この信号を好ましくは2で割り、配線24に安定した論理レベルでパルスを与える。ブロックM1、PU1、及びPD1の目的は、配線24上の論理レベル「1」の持続時間を測定して修正パルスを発生することである。ブロックM2、PU2、PD2の目的は、配線25上の論理レベル「1」の持続時間を測定して修正パルスを発生することである。インバーターI1が挿入されているので、配線25の論理レベル「1」は、配線24の論理レベル「0」に対応する。

【0009】配線24での論理レベルが「0」から「1」に変わると、単安定回路から構成されているブロックM1は、配線26に論理レベル「1」のパルスを発生する。このパルスの持続時間は、もしVCO（図1）の発振周波数が所望の値であるならば有するであろう配線24上パルスの持続時間に等しいものである。配線26上のパルスの持続時間は、配線3上の参照信号を基に決められ、パルスの始まりは、配線24上の信号により制御される。配線24上の論理レベル「1」の持続時間が配線26上のパルスの持続時間より長ければ、配線2上の信号の発振周波数は低すぎる。配線24の信号及び配線26の信号を反転した信号を入力するANDゲートPU1は、それらの持続時間の差を検出して、その差自体に等しい持続時間のパルスを配線28に与える。このパルスがORゲートPU3を通過して配線4に送られ、配線2の信号の発振周波数を上げるのに寄与する。

【0010】配線24上の論理レベル「1」の持続時間が配線26上のパルスの持続時間より短ければ、配線2上の信号の発振周波数は高すぎる。配線24の信号を反転した信号及び配線26の信号を入力するANDゲートPD1は、それらの持続時間の差を検出して、その差自体に等しい持続時間のパルスを配線29に与える。このパルスがORゲートPD3を通過して配線5に送られ、配線2の信号の発振周波数を下げるのに寄与する。上述のように、ANDゲートPU2、PD2と共に単安定回路M2は、インバーターI1により配線24の信号を反転して得られた配線25上の論理レベル「1」の持続時間を評価することにより同じ修正を行う。配線2の信号の発振周波数を増加させるパルスは、PU2により配線30に与えられORゲートPU3を通過して配線4に送られ

る。一方、発振周波数を減少させるパルスはPD2により配線31に与えられ、ORゲートPD3を通過して配線5に送られる。論理レベル「1」の持続時間に含まれる情報と論理レベル「0」の持続時間に含まれる情報の両方を利用している重複構造を用いることにより、PLLをより速くロック状態に収束できる。

【0011】図3は、周波数検出器DFRの動作に関するタイミング図である。図において、夫々の波形は、前述の図中の関連する配線を識別するのに用いられるのと同じ参照符号により示される。示された例は、VCOの出力での発振周波数が動作周波数より低い場合を示している。もし周波数の差が図に示されたものより低ければ、配線4に存在する修正パルスは同じ持続時間を維持するが繰り返し数は低くなる。

【0012】図4は、閾値比較器CSのブロック図を示す。VCOの出力での発振周波数が位相ロックを行う主ループの範囲に入ると、CSは周波数検出器DFR（図1）による修正を不可能にする。反対に、周波数の差が所定の値を越えると直ぐに、閾値比較器は副ループの動作を再び可能にする。検出器の主要な要素は、ブロックM3である。ブロックM3は、配線40に到来するパルスが存在すると、配線3の到来クロック信号のN個分のサイクル、例えば256サイクルに等しい持続時間を有するパルスを配線41に与える。配線41上の信号が、ゲートPU4とPD4を開けたり閉めたりし、それにより副ループ動作を可能にしたり不可能にしたりする。配線41の信号がアクティブな間にもし到来パルスが配線40に到達したら、到達した最後のパルスからNサイクルの間、パルスをアクティブに保つため、配線41のパルスの持続時間が増大される。配線4又は配線5上のパルスは、ブロックM3の動作をイネーブルするORゲートP4を通過する。このブロックM3は、2つのゲートPU4及びPD4を開くことを可能にする。配線41の信号によりイネーブルされている間に配線4又は配線5上の後続のパルスが到達するならば、これらのパルスは夫々ゲートPU4又はPD4を通過して配線6又は7に伝送され、イネーブルされてない間に到達したならば、パルスは阻止される。

【0013】これまで記載されてきたことは、非制限的な例により単に与えられたものであることは明白である。変更や修正が本発明の範囲を逸脱することなく可能である。

【図面の簡単な説明】

【図1】クロック信号抽出回路のブロック図である。

【図2】図1のブロックDFRのブロック図である。

【図3】図2のブロックDFRの動作に関するタイム図である。

【図4】図1のブロックCSのブロック図である。

【符合の説明】

DFS 位相検出器

PC1, PC2 駆動電流発生器

FI フィルター

VCO 電圧制御発振器

DFR 周波数検出器

CS 閾値比較器

D1, D2 分周器

S1 サンプリングブロック

M1, M2, M3 単安定回路

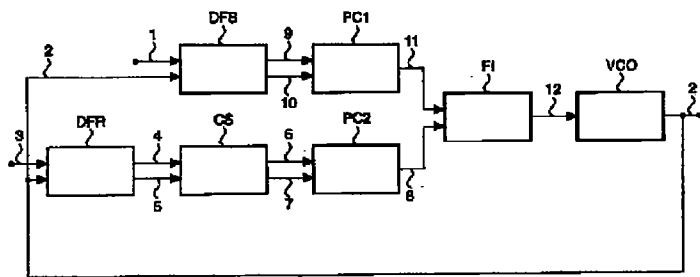
PU1, PU2, PD1, PD2, PU4, PD4 A

NDゲート

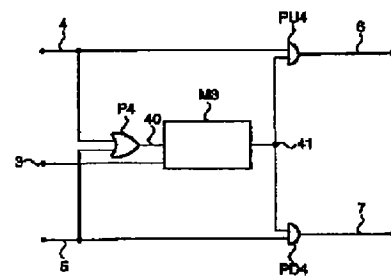
PU3, PD3, P4 ORゲート

I1 インバーター

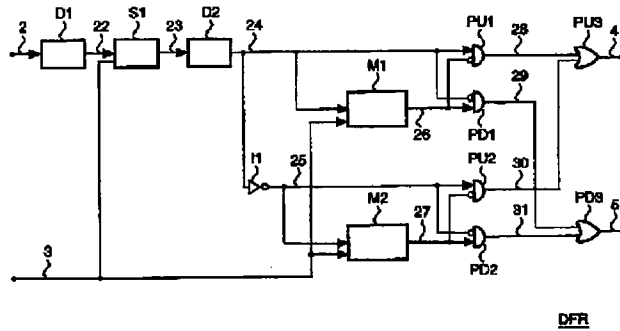
【図1】



【図4】



【図2】



DFR

【図3】

